

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-040691

(43)Date of publication of application : 19.02.1993

(51)Int.Cl.

G06F 12/08

G06F 11/22

G06F 11/22

(21)Application number : 03-193378 (71)Applicant : NEC CORP

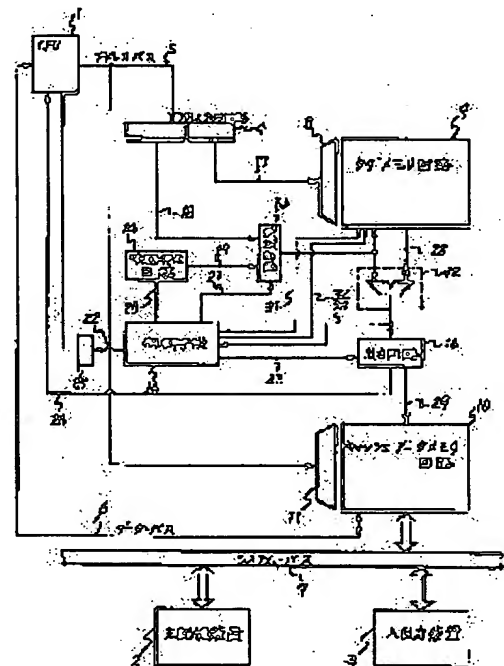
(22)Date of filing : 02.08.1991 (72)Inventor : TAKEUCHI HIDEYO

(54) FAULT DETECTOR FOR CACHE MEMORY

(57)Abstract:

PURPOSE: To detect a fault without separating an ordinary cache operation by writing fault test information on the position of address managing tag information when no address information that matches with a tag memory circuit exists.

CONSTITUTION: When unmatching between the address managing tag information 28 and output information from a selection circuit 13 is obtained, the position of the address managing tag information selected by index information 17 is selected as a rewrite target, and is rewritten in plural number of times of bus cycles. In parallel with the above operation, a control means 15 outputs a signal 23 to suppress the output of a response signal 26 to a CPU 1 and a selection signal 21 from access tag information 18 to the fault test information 19 to an output circuit 16. The signal is written on the position of the address managing tag information that becomes the rewrite target by the output information of the selection circuit 13 on the fault test information 19 side. After that, a control signal 32 is outputted from the control means 15, and an address managing tag information 28 is read out from a tag memory circuit 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-40691

(43) 公開日 平成5年(1993)2月19日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/08	S	7232-5B		
11/22	3 5 0 D	9072-5B		
	3 6 0 A	9072-5B		

審査請求 未請求 請求項の数2(全 9 頁)

(21) 出願番号 特願平3-193378

(22) 出願日 平成3年(1991)8月2日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 竹内 英代

東京都港区芝五丁目7番1号日本電気株式会社内

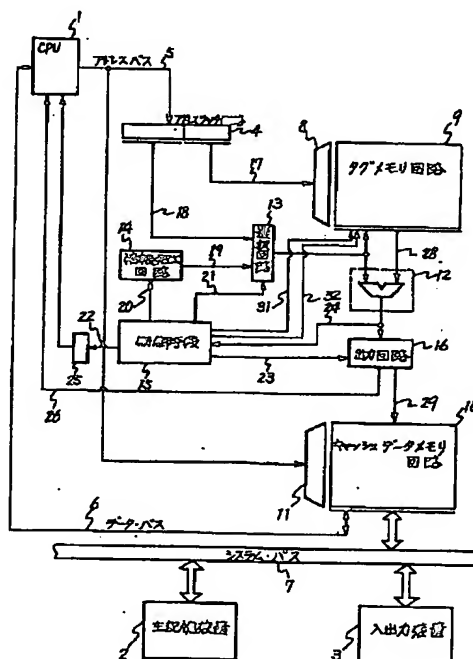
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 キヤッシュメモリの故障検出装置

(57) 【要約】

【構成】 CPUのアドレス情報によりタグメモリ回路の検索及び比較結果、一致したアドレス情報が存在しなかったとき毎に、その置き換えの対象となるアドレス管理タグ情報の位置に対し、故障テスト情報による書き込みと読み出しとを実施して、読み出した故障テスト情報との比較結果により、キャッシュのタグメモリ回路での故障と比較回路の故障とを容易に検出する。

【効果】 通常のキャッシュ動作を切り離して実施する必要なく、動作中に実行することが出来る。そして、置き換えの必要なものを故障検出の対象とするので大変効率のよい故障検出となり、高い信頼性を容易に得ることが可能である。



1

【特許請求の範囲】

【請求項1】 任意の情報を入力し故障テスト情報を出
力する情報発生回路と、CPUのアドレス情報の上位ピ
ットの情報と前記情報発生回路からの故障テスト情報と
を入力する選択回路と、前記選択回路からの出力情報を
アドレス管理タグ情報として格納する手段と、格納した
アドレス管理タグ情報を取り出す手段とを有するタグメ
モリ回路と、前記選択回路の出力情報と前記タグメモリ
回路から取り出されるアドレス管理タグ情報とを入力す
る比較回路と、前記比較回路の結果情報を入力しCPU
への応答信号を伝達する出力回路と、キャッシングメモ
リでのミスヒットにより主記憶装置からキャッシュデー
タメモリ回路へデータの置き換え発生時に前記比較回路
からの結果情報を入力しタグメモリ回路への書き込み
制御信号と前記タグメモリ回路への読み出し制御信号と
前記選択回路への選択信号と情報発生回路への制御信号
と前記出力回路への抑制信号と前記CPUへの故障信号
とを出力する制御手段と、故障信号を前記CPUへ伝達
する手段とから構成されることを特徴とするキャッシ
ュメモリの故障検出装置。

【請求項2】 前記制御手段としてキャッシュメモリで
のミスヒットの発生時に前記比較回路の結果情報により
起動しミスヒット期間中に前記出力回路に対して前記C
PUへの応答信号の出力を抑制する抑制信号を生成する
手段と、前記情報発生回路の入力情報を正転又は反転し
て故障テスト情報を作成する制御信号を生成する手段
と、前記情報発生回路の故障テスト情報を前記選択回路
の出力情報として選択させる選択信号を生成する手段
と、前記選択回路の出力信号の出力情報をアドレス管理
タグ情報として前記タグメモリ回路に格納させる書き込
み制御信号を生成する手段と、前記タグメモリ回路に格
納された前記アドレス管理タグ情報を前記比較回路に出
力させる読み出し信号制御信号を生成する手段と、前記
読み出し信号がアクティブである期間の比較回路の結果情
報により前記CPUへの故障信号を生成する手段とを有
することを特徴とする請求項1記載のキャッシュメモリ
の故障検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は情報処理分野のキャッシ
ュメモリシステムに関し、特にキャッシュメモリシス
テムでのタグメモリ回路や比較回路での故障を動作中に検
出するキャッシュメモリの故障検出装置に関する。

【0002】

【従来の技術】 従来、この種のキャッシュメモリの故障
検出装置では、キャッシュメモリのアドレス管理タグ情
報を格納したタグメモリ回路に対し、自己診断装置から
の故障テスト情報による書き込みと、読み出しを実施す
ることによる故障検出の方法とが取られている。

【0003】 この自己診断装置は、図4に示すように、

2

故障テスト情報を発生する診断情報発生回路33と、タ
グメモリ回路9へ故障テスト情報を書き込むための書き
込み制御信号31とタグメモリ回路から書き込まれた故
障テスト情報を読み出すための読み出し制御信号32と
を出力する診断制御回路35と、タグメモリ回路9での
書き込みと読み込みの対象位置を順次指定するインデッ
クスカウンタ回路37と、タグメモリ回路へ書き込んだ
ときの故障テスト情報とタグメモリ回路より読み出さ
れた故障テスト情報とを比較する自己診断用比較回路3
4と、自己診断用比較回路34の累積結果を記憶するフ
ラグ回路35とから構成されている。

【0004】 このキャッシュメモリでの自己診断装置
は、キャッシュメモリシステム構成から切り離れた状態
で、診断情報発生回路33の故障テスト情報19が出力
され、インデックスカウンタ回路37により示された
タグメモリ回路9のアドレス管理タグ情報の位置に対
し、診断制御回路36からタグメモリ回路9への書き込
み制御信号31により故障テスト情報での書き込みが実
行され、これをタグメモリ回路9の全位置に対して実施
される。

【0005】 書き込み実施後、インデックスカウンタ
回路37により示されるタグメモリ回路9の全位置に書
き込まれた故障テスト情報が、診断制御回路36からの
タグメモリ回路9への読み出し制御信号32によりタグ
メモリ回路9の全位置から順次書き込んだ故障テスト情
報が読み出される。

【0006】 順次読み出された故障テスト情報と、書き
込み実施時の故障テスト情報とが自己診断用比較回路3
4に入力され、自己診断用比較34からの結果情報の累
積した情報がフラグ回路35において記憶される。

【0007】 このフラグ回路35での情報により、タグ
メモリ回路9において、故障の発生を判断している。

【0008】

【発明が解決しようとする課題】 上述した従来のキャッ
シュメモリの故障検出装置では、自己診断装置により、
キャッシュメモリ内部のタグメモリ回路に対し故障テス
ト情報での書き込みと読み出しを実施し、その書き込み
実施時の故障テスト情報と書き込み実施後のタグメモリ
回路から読み出した故障テスト情報とを比較することに
より、タグメモリ回路の全ての位置に対する故障検出を
実施している。

【0009】 しかし、自己診断が動作しているときは、
キャッシュメモリのタグメモリ回路に対して、故障テス
ト情報にて書き込み又は読み出しを実施しているため
に、通常のキャッシュ動作中では、タグメモリ回路のア
ドレス管理タグ情報を書き換えることになり、キャッシ
ュデータメモリ回路との対応が一致しなくなるので、キ
ャッシュメモリシステム構成上から切り離れた状態でし
か実施出来ないという問題点と、タグメモリ回路の全部
のアドレス管理タグ情報の位置に対して故障検出のため

3

の書き込みと読み出しとを実施完了するには多くのテスト時間を必要とする問題点がある。

【0010】本発明の目的は、通常のキャッシュ動作を切り離すことなく故障検出が実施できるキャッシュメモリシステムの故障検出装置を提供することにある。

【0011】

【課題を解決するための手段】本発明のキャッシュメモリの故障検出装置は、キャッシュメモリシステムにおいて、任意の情報を入力し故障テスト情報を出力する情報発生回路と、CPUのアドレス情報の上位ビットの情報と前記情報発生回路からの故障テスト情報とを入力する選択回路と、前記選択回路からの出力情報をアドレス管理タグ情報として格納する手段と、格納したアドレス管理タグ情報を取り出す手段とを有するタグメモリ回路と、前記選択回路の出力情報とタグメモリ回路から取り出されるアドレス管理タグ情報とを入力する比較回路と、前記比較回路の結果情報を入力し、CPUへの応答信号を伝達する出力回路と、キャッシュメモリでのミスヒットにより主記憶装置からキャッシュデータメモリ回路へデータの置き換え発生時に、前記比較回路からの結果情報を入力とし、タグメモリ回路への書き込み制御信号とタグメモリ回路への読み出し制御信号と選択回路への選択信号と情報発生回路への制御信号と出力回路への抑制信号とCPUへの故障信号とを出力する制御手段と、前記CPUへの故障信号をCPUへ伝達する手段とを有している。

【0012】

【実施例】次に、本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図である。図1は、CPU1と、アドレスラッチ回路4と、タグメモリ回路9と、情報発生回路14と選択回路13と、制御手段15と、伝達手段25と、出力回路16と、比較回路12と、キャッシュデータメモリ回路10と、キャッシュデータメモリ用デコード回路11と、主記憶装置2と、入出力装置3とから構成されている。

【0013】次に図を用いて具体的動作を説明すると、まずCPU1のアドレス情報がアドレスバス5を介してアドレスラッチ回路4に記憶される。そのアドレスラッチ回路4に記憶したアドレス情報の一部の情報（以降、インデックス情報17という）がデコード回路8に入力され、タグメモリ回路9内を検索し、アドレス管理タグ情報28が読み出される。読み出されたアドレス管理タグ情報28と選択回路13から出力されたアクセスタグ情報18側の情報とが比較回路12において比較され、その結果情報24によりCPU1のデータが、キャッシュデータメモリ回路10上に存在するかを判定する。

【0014】アドレス管理タグ回路28と選択回路13からの出力情報との比較が一致した場合に、CPU1のデータがキャッシュデータメモリ回路10上に存在するので、出力回路16からキャッシュデータメモリ回路1

4

0に対し読み出し信号29とCPU1への応答信号26とを出力する。

【0015】キャッシュデータメモリ回路10は読み出し信号29によりCPU1のデータをデータバス6に出力する。一方、応答信号26を入力されたCPU1は、データバス6から求めるデータを受取り、動作を終了する、しかし、アドレス管理タグ情報28と選択回路13からの出力情報との比較が不一致の結果を示した場合には、インデックス情報17により選択されたアドレス管理タグ情報の位置が置き換え対象として選ばれ、そのアドレス管理タグ情報の位置に対応したキャッシュデータメモリ回路10上に主記憶装置2からCPU1のデータを含む一定単位でのデータをシステムバス7を介し、複数回数のバスサイクルによって書き込みが実施される。

【0016】これと並行して、比較回路12からの結果情報24により不一致になることにより起動される制御手段15は、出力回路16へCPU1への応答信号23の出力を抑制する抑制信号23と、選択回路13に対しアクセスタグ情報18から故障テスト情報19への選択信号21とを出力する。

【0017】そして、インデックス情報17より選ばれた置き換えの対象となるアドレス管理タグ情報の位置に対し、制御手段15からのタグメモリ回路への書き込み制御信号31による故障テスト情報19側の選択回路13の出力情報での書き込みを実施する。

【0018】書き込み実施後に、書き込みを実施したアドレス管理タグ情報の位置に対して、制御手段15からタグメモリ回路への読み出し制御信号32が出力され、タグメモリ回路9からそのアドレス管理タグ情報28が読み出される。この読み出されたアドレス管理タグ情報28と書き込んだ故障テスト情報19側の出力情報との比較回路12において行われ、その結果情報24を制御手段15に出力する。

【0019】結果情報24がタグメモリ回路9からのアドレス管理タグ情報28と書き込んだ故障テスト情報19側の出力情報とが一致を示した場合には故障が検出されなかったので、次に制御手段15から情報発生回路14へ制御信号20が出力され、入力情報を反転した故障テスト情報19が選択回路13から出力される。反転した故障テスト情報19側の選択回路13の出力情報を上記と同じインデックス情報17により選択された置き換え対象のアドレス管理タグ情報の位置に対し、制御手段15から出力されたタグメモリ回路への書き込み制御信号31により、書き込みが実施される。

【0020】書き込み実施後、その書き込まれたアドレス管理タグ情報の位置に対し、制御手段15からタグメモリ回路への読み出し制御信号32が出力され、読み出されたアドレス管理タグ情報28と反転した故障テスト情報19側の出力情報とを比較回路12に入力し、結果情報24により故障検出の判定を実施する。

【0021】結果情報24において故障が検出されなかった場合には、制御手段15は情報発生回路14に対して、反転した故障テスト情報を正転した故障テスト情報19に変更する制御信号20を出力する。

【0022】上記の動作と同様に、置き換えの対象となったタグメモリ回路9のアドレス管理タグ情報の位置に対し、故障テスト情報19側の選択回路13の出力情報での書き込みを制御手段15からタグメモリ回路への書き込み制御信号31により実施し、そして制御手段15からのタグメモリ回路への読み出し制御信号32により、タグメモリ回路9から書き込んだアドレス管理情報の位置での読み出しを実施し、その故障テスト情報19側の選択回路13の出力情報と読み出したアドレス管理タグ情報28とを比較する。

【0023】結果情報24が故障テスト情報19側の出力情報と読み出したアドレス管理タグ情報28とが一致している場合には、故障検出の動作を終了する。

【0024】終了により制御信号15から出力回路16へ抑制信号23による解除と、選択回路13に対してアクセスタグ情報10側の出力が選択回路13より出力されるようにする選択信号21とを出力する。選択回路13より出力されるアクセスタグ情報18側の出力情報をタグメモリ回路9の置き換え位置に登録を実施する。

【0025】一方、主記憶装置2からキャッシュデータメモリ回路10へのデータの置き換えが完了した時点で、CPU1に対する応答信号26を出力回路16と出力するとともに、キャッシュデータメモリ回路10に対しての読み出し信号29を出力回路16より出力する。

【0026】これにより、CPU1は、要求のデータをデータバス6を介して、受取ることができる。

【0027】さて、比較回路12の結果情報24が故障テスト情報19側の選択回路13の出力情報と読み出されたアドレス管理タグ情報28とが一致しなかった場合には、制御手段15から故障信号22が出力され、それをCPU1への伝達手段により通知し、CPU1に対しその処置を任せ、かつ置き換え動作の中止を実施する。

【0028】以上述べた本発明での故障検出装置では、上記の故障検出により、タグメモリ回路9のアドレス管理タグ情報に対し、1又は0の固定故障や1から0又は0から1への遷移故障を検出することが容易にでき、併せて比較回路12での故障も故障検出することが可能である。

【0029】また、タグメモリ回路9での置き換えの対象となり、アドレス管理タグ情報を格納する必要のある部分に対してだけ故障検出のテストを行なうために大変効率よく実施が出来、そして故障検出に必要とする時間は、主記憶装置2からキャッシュデータメモリ回路10へのデータの置き換え期間と並行して動作するので、特にテスト時間というのが不必要になる。

【0030】従ってデータの置き換え期間中に、置き換

えの対象となるアドレス管理タグ情報の位置に対し、書き込みと読み出しによる故障検出を実施することにより、タグメモリ回路9とアドレス比較回路12との故障検出がシステムでの動作中に実行することが可能になり、このキャッシュメモリシステム自体の信頼性が大きく向上することが出来る。以上述べた本発明のキャッシュの故障検出装置での動作のフローチャートを図2に示す。

【0031】図3は本発明の第2の実施例のブロック図である。図3の構成は、2つの連想単位を持った場合でのキャッシュメモリシステムである。

【0032】図3では、CPU1とデコード回路8と2つのタグメモリ回路9a、bと、2つのタグメモリ回路9a、bに対応した2つのキャッシュデータメモリ回路10a、bと、キャッシュデータメモリ用デコード回路11と、比較回路12と、アドレスラッチ回路4と、選択回路13と、情報発生回路14と、出力回路16と、制御手段15と、伝達手段25と、置き換えの順序情報を格納したLRUメモリ回路27とから構成されている。

【0033】本実施例の基本的動作は、第1の実施例と同じ動作であるが、2つの連想単位を有するので、アドレス情報によるタグメモリ回路9a、bの検索及び比較の結果、不一致が発生したときには、2つの連想単位のタグメモリ回路9a、bの内、LRUメモリ回路27の置き換え順序信号30により示される連想単位のアドレス管理タグ情報の位置が置き換える対象となり、その置き換えの対象となったアドレス管理タグ情報の位置が、本発明での故障検出の実施対象となる。そのため、LRUメモリ回路27からの置き換え順序信号30が、制御手段15に入力され、これにより実施対象を選択している。

【0034】また、本実施例では、情報発生回路14において、アクセスタグ情報18を入力し、それを基にした故障テスト情報として利用している。これにより、アクセス毎のアドレス情報で故障検出用テスト情報が常に変化するためダイナミックに故障検出を実施できる。

【0035】この実施例の場合、2つの連想単位のキャッシュの構成にすることによりタグ情報を格納する自由度が増加するので、このキャッシュメモリシステムでのヒット率がより大きく向上することが可能であるが、一方、より複雑な構造になるので信頼性が特に問題になるが、本発明により高い信頼性を得ることが可能である。

【0036】

【発明の効果】以上説明したように本発明は、キャッシュメモリシステムにおいて、CPUのアドレス情報によりタグメモリ回路の検索及び比較結果、一致したアドレス情報が存在しなかったとき毎に、その置き換えの対象となるアドレス管理タグ情報の位置に対し、故障テスト情報による書き込みと読み出しとを実施して、読み出した故障テスト情報との比較結果により、キャッシュのタ

7

メモリ回路での故障と比較回路の故障とを容易に検出する。この動作は、通常のキャッシュ動作を切り離して実施する必要なく、動作中に実行することが出来る。そして、置き換えの必要なものを故障検出の対象とするので大変効率のよい故障検出となり、高い信頼性を容易に得ることが可能である。また、この故障検出の動作は、主記憶装置からキャッシュデータメモリ回路へのデータの置き換え動作と並行して動作するので、特に故障検出するための時間が不必要である。

【0037】従って、キャッシュメモリシステム構成する上での信頼性の向上に大いに寄与することが可能である。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】本発明の動作を示すフローチャートである。

【図3】他の実施例のブロック図である。

【図4】従来例を示すブロック図である。

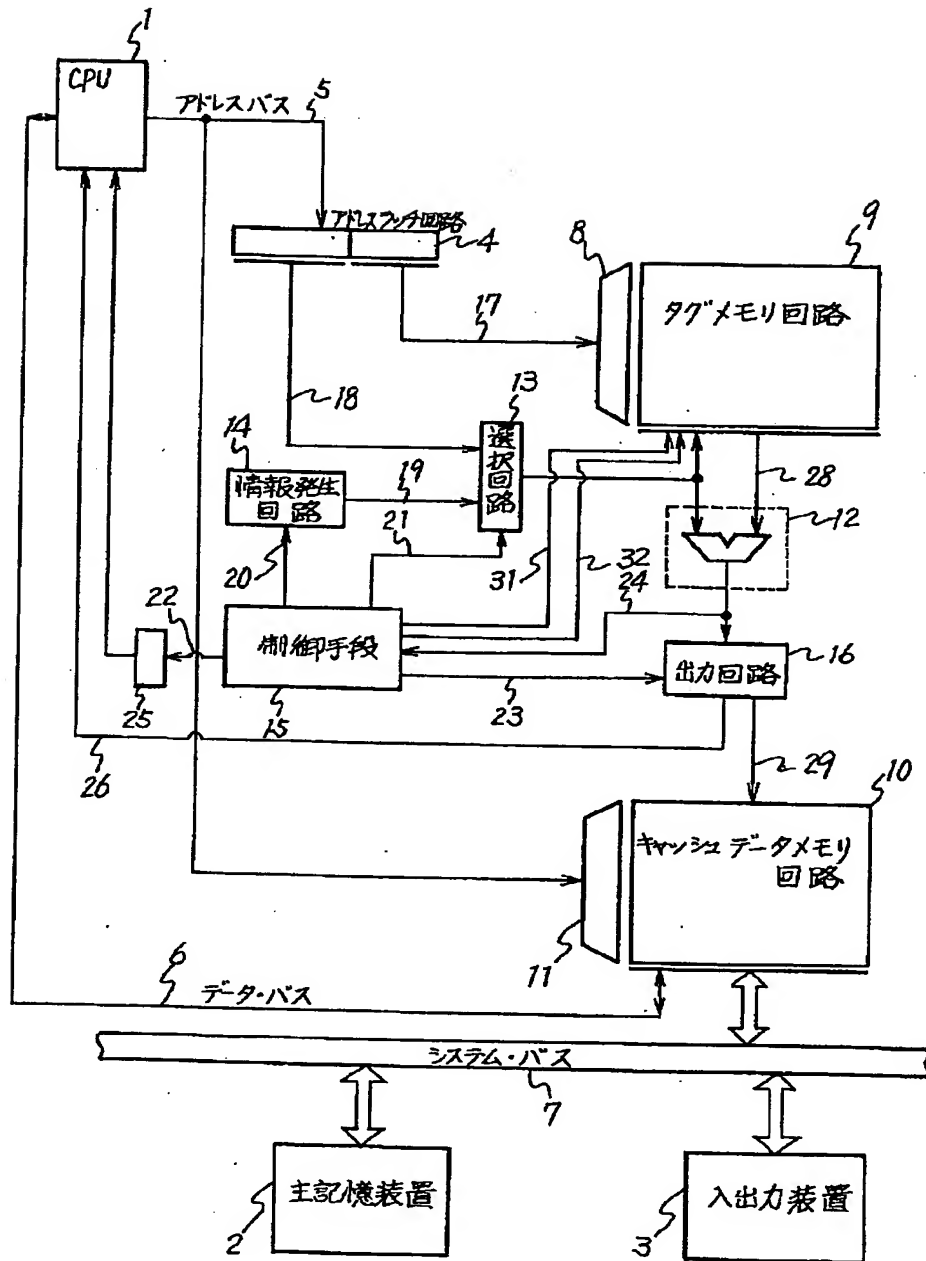
【符号の説明】

- 1 CPU
- 2 主記憶装置
- 3 入出力装置
- 4 アドレスラッチ回路
- 5 アドレスバス
- 6 データバス
- 7 システムバス
- 8 デコード回路
- 9 タグメモリ回路
- 10 キャッシュデータメモリ回路

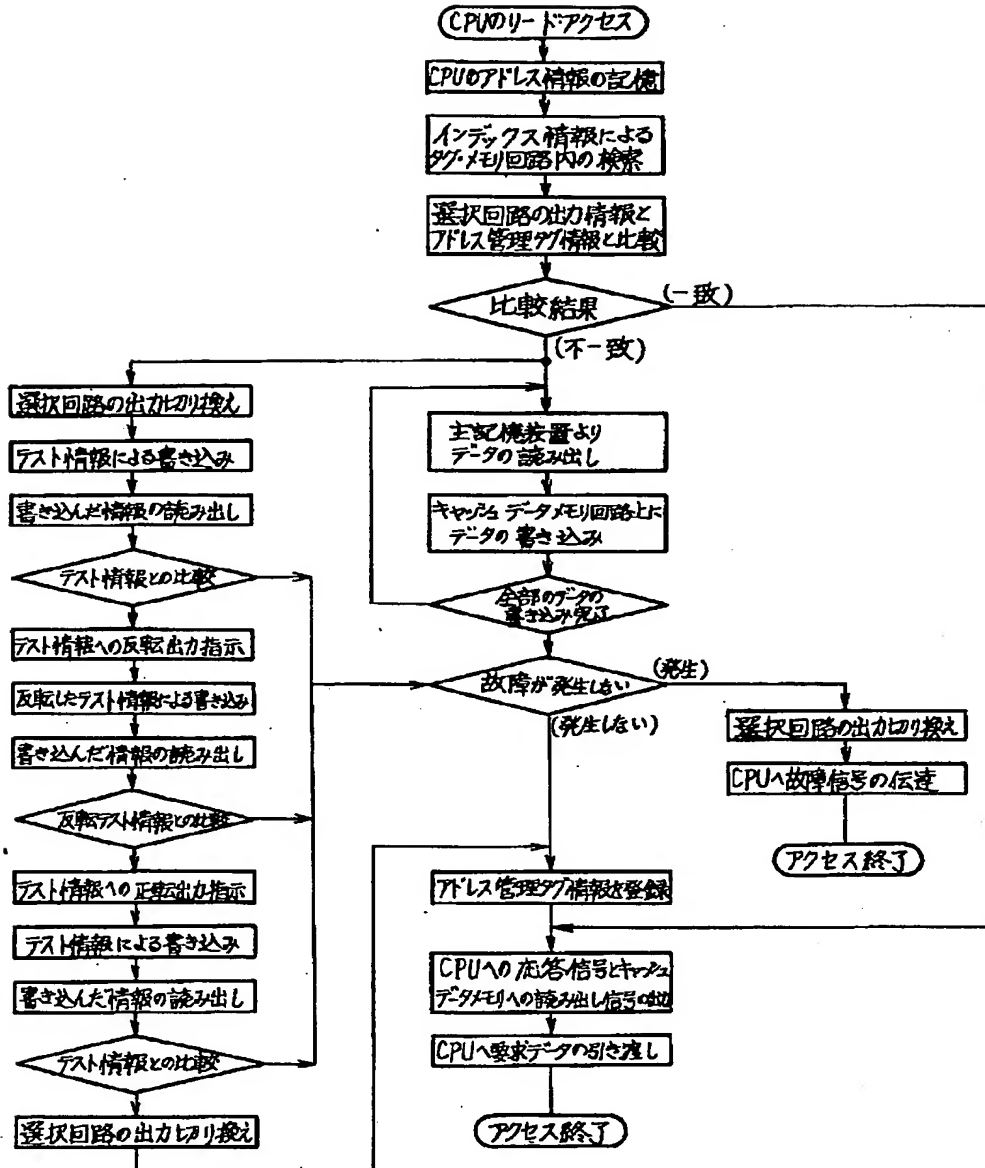
8

- 11 キャッシュデータメモリ用デコード回路
- 12 アドレス比較回路
- 13 選択回路
- 14 情報発生回路
- 15 制御手段
- 16 出力回路
- 17 インデックス情報
- 18 アクセスタグ情報
- 19 故障テスト情報
- 20 制御信号
- 21 選択信号
- 22 故障信号
- 23 抑制信号
- 24 結果信号
- 25 伝達手段
- 26 応答信号
- 27 LRUメモリ回路
- 28 アドレス管理タグ情報
- 29 キャッシュデータメモリ回路への読み出し信号
- 30 置き換え順序信号
- 31 書き込み制御信号
- 32 読み出し制御信号
- 33 診断情報発生回路
- 34 自己診断用比較回路
- 35 フラグ回路
- 36 診断制御回路
- 37 インデックスアウンター回路
- 38 自己診断装置

【図1】



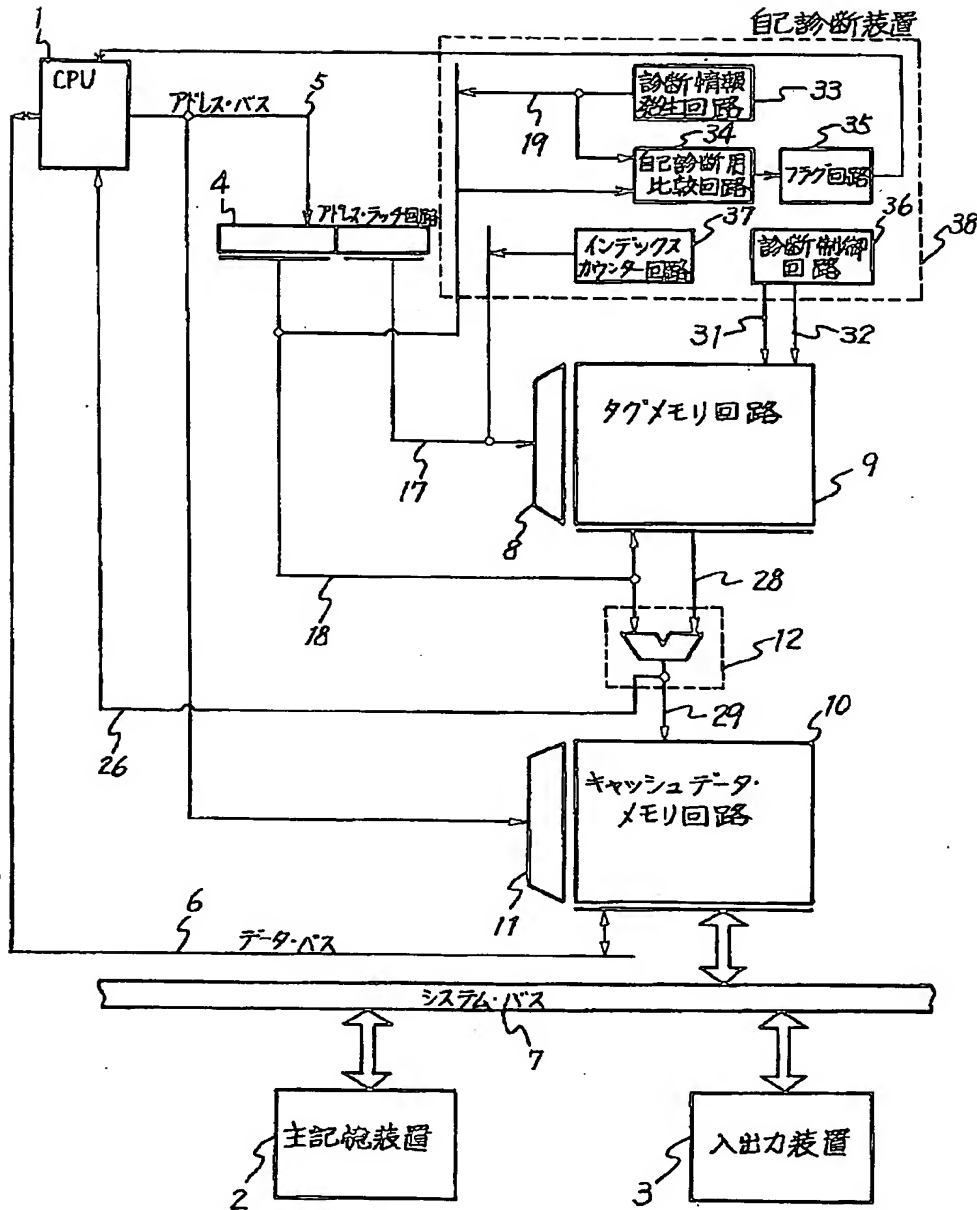
【図2】



The diagram illustrates a computer system architecture with the following components and connections:

- CPU (1)**: Connected to the **アドレスバス (5)** and **データバス (6)**.
- アドレスバス (5)**: Connects the CPU to the **メモリ回路 (8)** and **制御回路 (20)**.
- データバス (6)**: Connects the CPU to the **メモリ回路 (8)**, **情報発生回路 (14)**, **制御回路 (20)**, and **出力回路 (16)**.
- メモリ回路 (8)**: Consists of **データメモリ回路 (a) (9a)**, **データメモリ回路 (b) (9b)**, and **LRメモリ回路 (27)**.
- 情報発生回路 (14)**: Receives data from the CPU via the address bus and outputs to the **制御回路 (20)** via line 18.
- 制御回路 (20)**: Receives data from the CPU via the data bus and outputs to the **出力回路 (16)** via line 23. It also receives data from the **情報発生回路 (14)** via line 19 and outputs to the **出力回路 (16)** via line 21.
- 出力回路 (16)**: Receives data from the **制御回路 (20)** and outputs to the **キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)** via lines 29a and 29b.
- キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)**: Connected to the **出力回路 (16)** and the **システムバス (7)** via lines 29a and 29b.
- システムバス (7)**: Connects the **主記憶装置 (2)** and **入出力装置 (3)** to the **キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)**.
- 主記憶装置 (2)**: Connected to the **システムバス (7)** via line 7.
- 入出力装置 (3)**: Connected to the **システムバス (7)** via line 7.
- 選択回路 (13)**: Receives data from the **情報発生回路 (14)** via line 18 and outputs to the **出力回路 (16)** via line 21.
- 情報発生回路 (14)**: Receives data from the **制御回路 (20)** via line 19 and outputs to the **選択回路 (13)** via line 21.
- 出力回路 (16)**: Receives data from the **選択回路 (13)** via line 21 and outputs to the **キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)** via lines 29a and 29b.
- キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)**: Connected to the **出力回路 (16)** and the **システムバス (7)** via lines 29a and 29b.
- システムバス (7)**: Connects the **主記憶装置 (2)** and **入出力装置 (3)** to the **キャッシュデータメモリ回路 (a) (10a)** and **キャッシュデータメモリ回路 (b) (10b)**.
- 主記憶装置 (2)**: Connected to the **システムバス (7)** via line 7.
- 入出力装置 (3)**: Connected to the **システムバス (7)** via line 7.

【図4】



THIS PAGE BLANK (USPTO)